

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-330976

(43)Date of publication of application : 22.12.1997

(51)Int.Cl.

H01L 21/768

(21)Application number : 08-172951

(71)Applicant : SONY CORP

(22)Date of filing : 12.06.1996

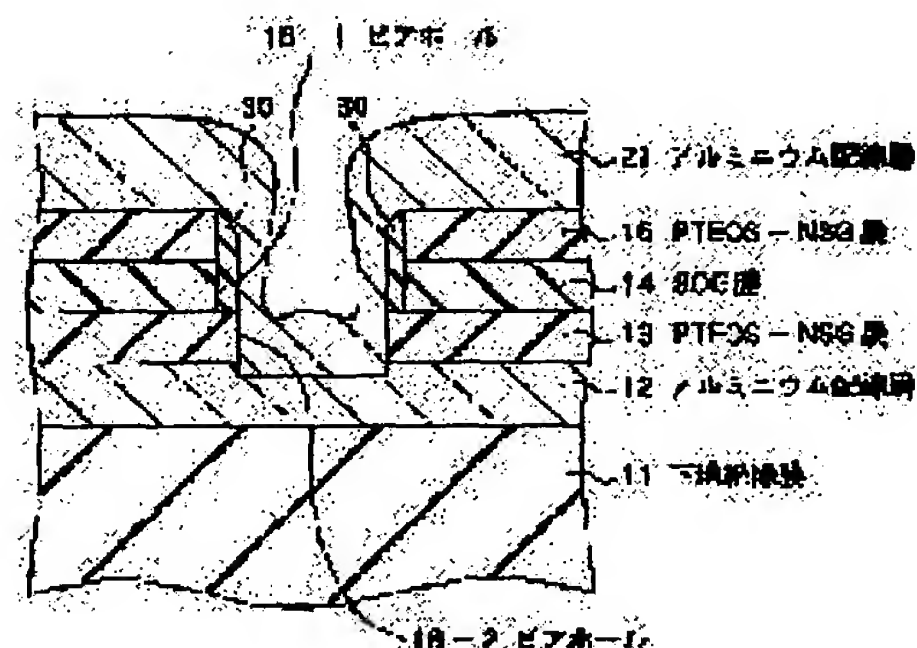
(72)Inventor : MORIYAMA ICHIRO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device manufacturing method by which the occurrence of a provided via hole which occurs in the via hole of an interlayer insulating film constructed in a multilayered wiring structure can be prevented effectively.

**SOLUTION:** When a via hole is formed in an interlayer insulating film composed of PTEOS-NSG(plasma TEOS-nondoped silicate glass) films 13 and 15 and an SOG film (spin on glass film 14, the via hole is not formed to an aluminum wiring layer 12 by one time of etching, but formed in two steps. In the first step, a via hole 18-1 is formed until the SOG film 14 is exposed in a first etching step and a via hole 18-2 is formed to the wiring layer 12 in a second etching step after coating the SOG film 14 with an acid-resistant thin film (PTEOS-NSG film 30). Since the conductive deposit which is produced by the etching does not adhere directly to the exposed part of the SOG film 14, the film 14 is protected from oxidation by the PTEOS-NSG film 30 during the resist ashing and organic cleaning processes which are performed for removing the deposit after the etching process.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 ( J P )

(12) 公 開 特 許 公 報 ( A )

(11)特許出願公開番号  
特開平9-330976

(43)公開日 平成 9 年 (1997) 12月22日

(51)Int.Cl.<sup>6</sup>  
H 0 1 L 21/768

識別記号

庁内整理番号

F I  
H 0 1 L 21/90

技術表示箇所  
A

審査請求 未請求 請求項の数 3 F D (全 6 頁)

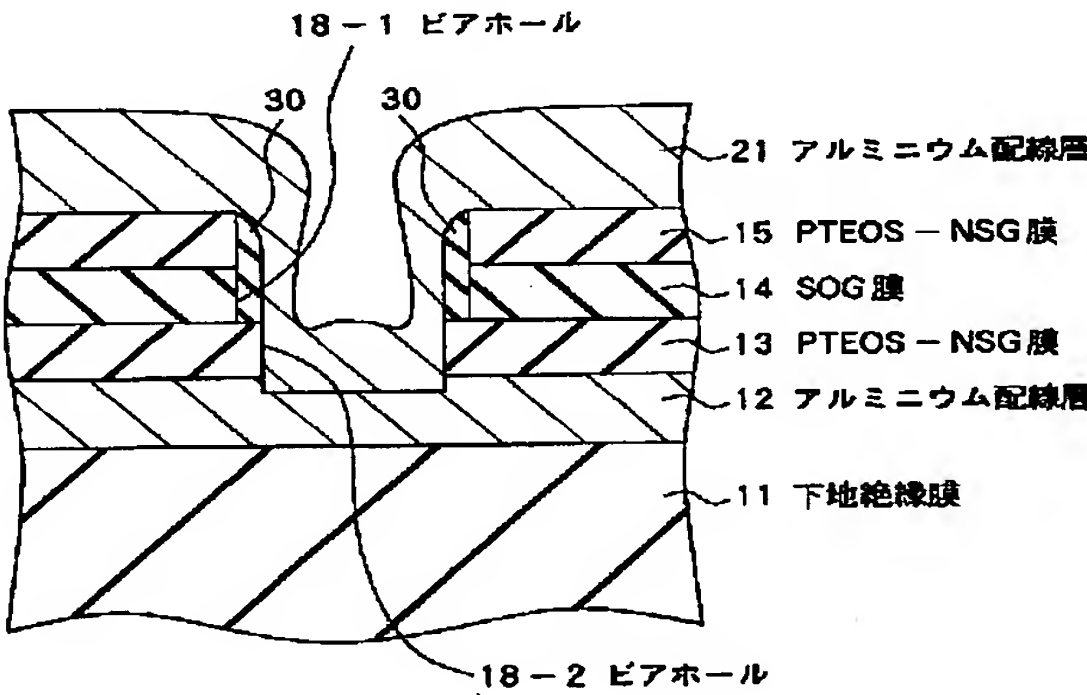
(21)出願番号	特願平8-172951	(71)出願人	000002185 ソニー株式会社 東京都品川区北品川 6 丁目 7 番35号
(22)出願日	平成 8 年 (1996) 6 月12日	(72)発明者	森山 一郎 東京都品川区北品川 6 丁目 7 番35号 ソニ ー株式会社内
		(74)代理人	弁理士 藤島 洋一郎

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 多層配線構造の層間絶縁膜のビアホールに発生するポインズンド・ビアの発生を有効に防止し得る半導体装置の製造方法を提供する。

【解決手段】 P T E O S - N S G膜 1 3 , 1 5、および S O G膜 1 4 からなる層間絶縁膜にビアホールを形成する際、1 度のエッチングによってアルミニウム配線層 1 2 に達するビアホールを形成するのではなく、まず第 1 段階のエッチングで少なくとも S O G膜 1 4 が露出するところまでビアホール 1 8 - 1 を形成した上で、S O G膜 1 4 を耐酸化性の薄膜 ( P T E O S - N S G膜 3 0 ) で覆い、第 2 段階のエッチングでアルミニウム配線層 1 2 に達するビアホール 1 8 - 2 を形成する。ここで生ずる導電性堆積物は S O G膜 1 4 の露出部分に直接付着しないので、その後に行う導電性堆積物除去のためのレジストアッシングおよび有機洗浄工程中に、S O G膜 1 4 は P T E O S - N S G膜 3 0 によって酸化から保護される。



## 【特許請求の範囲】

【請求項 1】 第 1 の配線層の上に形成された層間絶縁膜に接続孔を形成し、この接続孔によって前記第 1 の配線層と前記層間絶縁膜上に形成した第 2 の配線層との間を接続するようにした半導体装置の製造方法において、前記第 1 の配線層上に、第 1 の絶縁膜、平坦化絶縁膜および第 2 の絶縁膜を順次堆積して、前記層間絶縁膜を形成する工程と、

この層間絶縁膜のうち、少なくとも前記第 2 の絶縁膜および平坦化絶縁膜をエッチングして、第 1 の接続孔を形成する工程と、

少なくとも、前記第 1 の接続孔の内側壁に露出した平坦化絶縁膜を覆うようにして耐酸化性の薄膜を形成する工程と、

前記第 1 の接続孔の内側壁の薄膜を残しつつ、第 1 の接続孔の底部の薄膜およびその下層の前記第 1 の絶縁膜をエッチングして、前記第 1 の配線層に達する第 2 の接続孔を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】 前記耐酸化性の薄膜は、テトラ・エチル・オルソシリケートを用いてプラズマ化学蒸着法により形成されたシリコン酸化膜からなることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記耐酸化性の薄膜は、金属タングステンからなることを特徴とする請求項 1 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、多層配線の層間膜として SOG (Spin On Glass) 等の水分を多く含む平坦化絶縁膜を用いた半導体装置の製造方法に係り、特に、そのような平坦化絶縁膜を貫いてその上下の配線層間を接続するビアホール（接続孔）を形成する工程を含む半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 従来より、微細な多層配線を有する半導体装置においては、下層配線の平坦化を図るため、優れたギャップフィル (Gap fill) 特性を有する絶縁膜として、いわゆる SOG 等の塗布絶縁膜や、 $O_3$ （オゾンガス）-TEOS（テトラ・エチル・オルソシリケート）-NSG (Non doped Silicate Glass) 等のテオス膜が用いられていた。しかし、これらの材料は水分を多く含むという性質を有するので、ビアホールの側壁に SOG や  $O_3$ -TEOS-NSG 等の絶縁膜が露出すると、その後形成された上層配線層のビアホール部分が酸化され、いわゆるポイズンド・ビア (Poisoned Via) と呼ばれる現象が生ずることが知られている。このポイズンド・ビアとは、ビアホールの内部の配線が酸化によって浸食される現象であり、ビアホール部分における配線の断線や抵抗の異常増大の原因となる。

【0003】 そこで、最近では、このような不都合に対処すべく、含水分量の少ない SOG（例えば、有機成分を含む SOG）が開発され、これを層間平坦化絶縁膜として用いることが提案されている。この種の SOG を用いると、ビアホール部に SOG が露出してもポイズンド・ビア現象を防止することができる可能性がある。

## 【0004】

【発明が解決しようとする課題】 しかしながら、その実用化を進める検討途上において、上記のような含水分量の少ない新種の SOG においても、次のような問題点があることが判ってきた。以下、図面を参照して、その問題点を説明する。

【0005】 図 4 および図 5 は、層間平坦化絶縁膜として上記のような含水分量の少ない新種の SOG を用いた半導体装置における多層配線層間接続用ビアホールの形成方法を表すものである。

【0006】 この方法では、まず、図 4 (a) に示したように、トランジスタ素子等の半導体素子（図示せず）を覆うようにして形成した下地絶縁膜 111 上に、第 1 の配線層であるアルミニウム配線層 112 を形成してパターニングしたのち、さらにこれを覆うようにして、第 1 の絶縁膜としての PTEOS（プラズマ・テオス）-NSG 膜 113、平坦化絶縁膜として含水分量の少ない SOG 膜 114、および第 2 の絶縁膜としての PTEOS-NSG 膜 115 を順次堆積形成する。そして、ビアホール形成部分に開口 117 を有するようにパターニングしたレジスト膜 116 を形成する。

【0007】 次に、図 4 (b) に示したように、レジスト膜 116 をマスクとして、PTEOS-NSG 膜 115、SOG 膜 114 および PTEOS-NSG 膜 113 をエッチングしてビアホール 118 を形成する。このときのエッチングは、アルミニウム配線層 112 が露出するまで十分に行う。このため、ビアホール 118 の側壁には、アルミニウム配線層 112 のエッチング物からなる導電性堆積物 119 が付着形成される。

【0008】 次に、図 5 (a) に示したように、レジストアッシング工程および有機洗浄工程を行い、導電性堆積物 119 を除去する。しかし、含水分量の少ない SOG 膜 114 は、レジストアッシングや有機洗浄によって酸化されやすいという欠点をもっているため、露出した SOG 膜 114 は酸化されて水分を含んだ変質層 120 を形成する。

【0009】 次に、図 5 (b) に示したように、ビアホール 118 を覆うようにして第 2 の配線層であるアルミニウム配線層 121 を形成して所定のパターニングを行う。このとき、アルミニウム配線層 121 は変質層 120 に接触しているため、この接触部分においてアルミニウムが酸化される可能性がある。このため、結局、図 5 (b) に示したように、上記したポイズンド・ビアが発生するおそれがあり、ビアホール部分における配線の断



線や抵抗の異常増大等の製造工程不良を十分少なくすることが困難であるという問題があった。

【0010】本発明はかかる問題点に鑑みてなされたもので、その目的は、多層配線構造を有する半導体装置の層間絶縁膜のビアホールに発生するポインズンド・ビアの発生を有効に防止して配線不良を低減することができる半導体装置の製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明に係る半導体装置の製造方法は、第1の配線層の上に形成された層間絶縁膜に接続孔を形成し、この接続孔によって前記第1の配線層と層間絶縁膜上に形成した第2の配線層との間を接続するようにした半導体装置の製造方法において、第1の配線層上に、第1の絶縁膜、平坦化絶縁膜および第2の絶縁膜を順次堆積して、層間絶縁膜を形成する工程と、この層間絶縁膜のうち、少なくとも前記第2の絶縁膜および平坦化絶縁膜をエッチングして、第1の接続孔を形成する工程と、少なくとも、第1の接続孔の内側壁に露出した平坦化絶縁膜を覆うようにして耐酸化性の薄膜を形成する工程と、第1の接続孔の内側壁の薄膜を残しつつ、第1の接続孔の底部の薄膜およびその下層の前記第1の絶縁膜をエッチングして、第1の配線層に達する第2の接続孔を形成する工程とを含んでいる。耐酸化性の薄膜としては、例えばテトラ・エチル・オルソシリケートを用いてプラズマ化学蒸着法により形成されたシリコン酸化膜や金属タンゲステンを用いる。

【0012】本発明に係る半導体装置の製造方法では、第1の接続孔を形成した際にその内側壁に露出した平坦化絶縁膜は耐酸化性の薄膜によって覆われ、この状態で、第1の接続孔の底部の薄膜およびその下層の第1の絶縁膜がエッチングされて、第1の配線層に達する第2の接続孔が形成される。その際、第1の配線層のエッチングにより導電性堆積物が生ずるが、この導電性堆積物は第1の接続孔の内側壁の平坦化絶縁膜に直接付着するのでなく、耐酸化性の薄膜の上に付着する。このため、その後に行われる導電性堆積物の除去のためのレジストアッシングや有機洗浄工程中、平坦化絶縁膜は耐酸化性の薄膜によって保護され、酸化による変質が生じない。これにより、その後形成される第2の配線層のビアホール部分にポインズンド・ビアが発生することが回避される。

【0013】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0014】図1および図2は、本発明の一実施の形態に係る半導体装置の製造工程を表すものである。

【0015】まず、図1(a)に示したように、トランジスタ素子等の半導体素子(図示せず)を覆うようにして形成した下地絶縁膜11上に、第1の配線層であるアルミニウム配線層12を形成してパターニングする。こ

のアルミニウム配線層12としては、例えばアルミニウムとシリコンとからなるAlSi膜や、アルミニウムと銅とからなるAlCu膜を用い、例えば500nm程度の膜厚とする。

05 【0016】次に、同図に示したように、アルミニウム配線層12を覆うようにして、第1の絶縁膜としてのPTEOS-NSG膜13、平坦化絶縁膜としての含水分量の少ないSOG膜14、および第2の絶縁膜としてのPTEOS-NSG膜15を全面に順次堆積形成する。  
10 これらのうち、PTEOS-NSG膜13およびPTEOS-NSG膜15は、不純物を含まないシリコン酸化膜であり、いわゆるプラズマCVD (Chemical Vapor Deposition: 化学的気相成長) 法により、TEOS (テトラ・エチル・オルソシリケート) を用いて、例えば30  
15 0nm程度の膜厚に形成する。また、SOG膜14は、有機物成分を含んだ含水分量の少ないシリコン酸化膜であり、シリコン化合物を有機溶剤に溶解した溶液を回転塗布 (スピン塗布) したのち、これを焼成して形成する。このSOG膜14は、例えば300nm程度の膜厚  
20 に形成する。

【0017】次に、同図に示したように、ビアホール形成部分に開口17を有するようにパターニングしたレジスト膜16を全面に形成する。その膜厚は、例えば1.2μm程度とする。

25 【0018】次に、図1(b)に示したように、レジスト膜16をマスクとして、PTEOS-NSG膜15およびSOG膜14をエッチングして、第1の接続孔としてのビアホール18-1を形成する。このときのエッチングは、少なくともPTEOS-NSG膜13が露出し、かつアルミニウム配線層12が露出しない程度に行う。このエッチングの結果、ビアホール18-1の内側壁にはSOG膜14が露出する。なお、エッチングには、例えばCF<sub>4</sub> (4フッ化炭素) 系のガスを用い、シリコン酸化膜系絶縁膜用のエッチング条件を適用する。

35 【0019】このように、アルミニウム配線層12が露出しないようにエッチングを行うのは、アルミニウム配線層12までエッチングしてしまうと、後述するような導電性堆積物がSOG膜14の露出部に直接付着してしまい、これを除去するためのレジストアッシングおよび  
40 有機洗浄工程においてSOG膜14が酸化されて変質してしまうからである。

【0020】次に、同図に示したように、レジスト膜16を除去したのち、耐酸化性の薄膜として、PTEOS-NSG膜30を全面に形成する。このPTEOS-NSG膜30もまた、上記のPTEOS-NSG膜13、  
45 15と同様に、プラズマCVD法により、TEOSを用いて形成する。その膜厚は、例えば300nm程度とする。このPTEOS-NSG膜30は、SOG膜14に比較して、後工程におけるレジストアッシングや有機洗浄に対して高い耐性を有する。  
50

【0021】次に、図2(a)に示したように、ビアホール18-1の部分に対応した開口を有するようにパターンニングされたレジスト膜31を形成したのち、このレジスト膜31をマスクとして、アルミニウム配線層12が露出する段階までPTEOS-NSG膜13をエッチングし、第2のビアホールとしてのビアホール18-2を形成する。これにより、ビアホール18-1の内側壁部分を除くすべてのPTEOS-NSG膜30が除去されるが、このとき、ビアホール18-1内側壁に残存したPTEOS-NSG膜30の内側およびビアホール18-2の内側壁には、アルミニウム配線層12のエッチング物からなる導電性堆積物19が付着形成される。

【0022】次に、図2(b)に示したように、レジストアッシング工程および有機洗浄工程を行い、導電性堆積物19を除去する。この場合のレジストアッシングは、例えば酸素( $O_2$ )ガス12000sccm、高周波(RF)電力700W、到達真空度4000Paという条件下で行い、また、有機洗浄は、例えば有機アミン系剥離液等の有機洗浄剤を用いて、例えば温度60℃、時間60分という条件下で行う。

【0023】このとき、含水分量の少ないSOG膜14はPTEOS-NSG膜30によって覆われ、ビアホール18-1内に露出していない。このため、SOG膜14は、レジストアッシング工程および有機洗浄工程においても、耐酸化性の高いPTEOS-NSG膜30によって保護され、従来のように酸化による変質が生じない。

【0024】次に、図3に示したように、ビアホール18-2を覆うようにして第2の配線層であるアルミニウム配線層21を形成して所定のパターンニングを行う。このとき、アルミニウム配線層21は、ビアホール18-2の内側壁面において、耐酸化性の高いPTEOS-NSG膜30およびPTEOS-NSG膜13とのみ接触し、SOG膜14とは直接接触しない。このため、このビアホール部分においてアルミニウム配線層12が酸化されるおそれは少なくなる。

【0025】このように、本実施の形態では、PTEOS-NSG膜13、SOG膜14およびPTEOS-NSG膜15からなる層間絶縁膜にビアホールを形成する場合に、1度のエッチング工程によって第1の配線層であるアルミニウム配線層12に達するビアホールを形成するのでなく、まず第1段階のエッチングでは、少なくともSOG膜14が露出するところまでビアホールを形成した上で、その露出したSOG膜14を耐酸化性の高い薄膜(PTEOS-NSG膜30)によって覆っておき、第2段階のエッチングにおいて、アルミニウム配線層12に達するビアホールを形成するようにしたので、第2段階のエッチングにおいて生ずる導電性堆積物19がSOG膜14の露出部分に直接付着することがない。このため、その後に行われる導電性堆積物19の除去の

ためのレジストアッシングおよび有機洗浄工程中においても、SOG膜14の断面部分は耐酸化性の高い薄膜(PTEOS-NSG膜30)によって保護されており、酸化性ガスや有機洗浄剤に直接曝されることがなく、酸化による変質が防止される。これにより、ビアホール部分におけるポインズド・ビアの発生が防止され、配線の断線や抵抗の異常増大等の製造工程不良を低減することができる。

【0026】以上、実施の形態を挙げて本発明を説明したが、本発明はこの実施の形態に限定されるものではなく、その均等の範囲で種々変形可能である。

【0027】例えば、上記の実施の形態では、平坦化絶縁膜として、有機物成分を含んだ含水分量の少ないSOG膜に適用する場合について説明したが、通常含水分量の多いSOG膜についても適用することもできる。また、SOG膜に限らず、他の含水分量の多い平坦化絶縁膜、例えば $O_3$ -TEOS-NSG等のテオス膜にも適用可能である。

【0028】また、上記の実施の形態では、耐酸化性の高い薄膜としてPTEOS-NSG膜という絶縁膜を使用するものとして説明したが、耐酸化性の高い膜であれば絶縁膜には限られず、例えばタングステン金属等の導電性薄膜を用いることも可能である。

【0029】

【発明の効果】以上説明したように、本発明に係る半導体装置の製造方法によれば、第1の発生層にまで達しない第1の接続孔を形成した際にその内側壁に露出する平坦化絶縁膜を耐酸化性の薄膜によって覆った状態で、第1の接続孔の底部の薄膜およびその下層の第1の絶縁膜をエッチングして、第1の配線層に達する第2の接続孔を形成するようにしたので、第1の配線層のエッチングにより生じた導電性堆積物は、第1の接続孔の内側壁の平坦化絶縁膜に直接付着するのでなく、耐酸化性の薄膜の上に付着することとなる。このため、その後に行われる導電性堆積物の除去のためのレジストアッシングや有機洗浄工程中、耐酸化性の薄膜によって平坦化絶縁膜を保護することができ、酸化による変質を防止できる。これにより、その後形成される第2の配線層のビアホール部分にポインズド・ビアが発生することを回避でき、配線の断線や抵抗の異常増大等の製造工程不良を低減することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態に係る半導体装置の製造方法を表す工程の一部を表す断面図である。

【図2】図1に続く各工程を表す断面図である。

【図3】図2に続く工程を表す断面図である。

【図4】従来の半導体装置の製造方法の工程を表す断面図である。

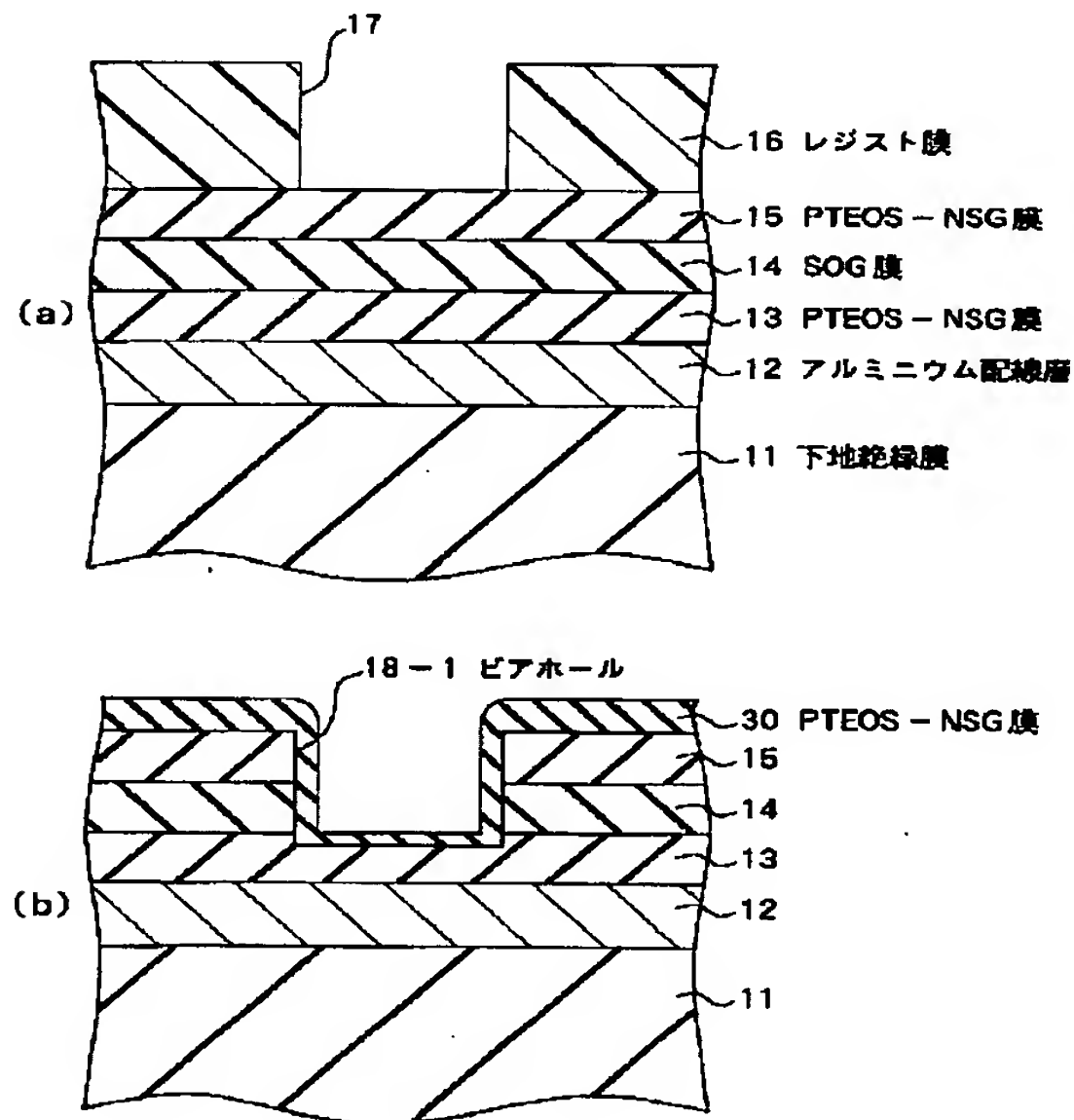
【図5】図4に続く各工程を表す断面図である。

【符号の説明】

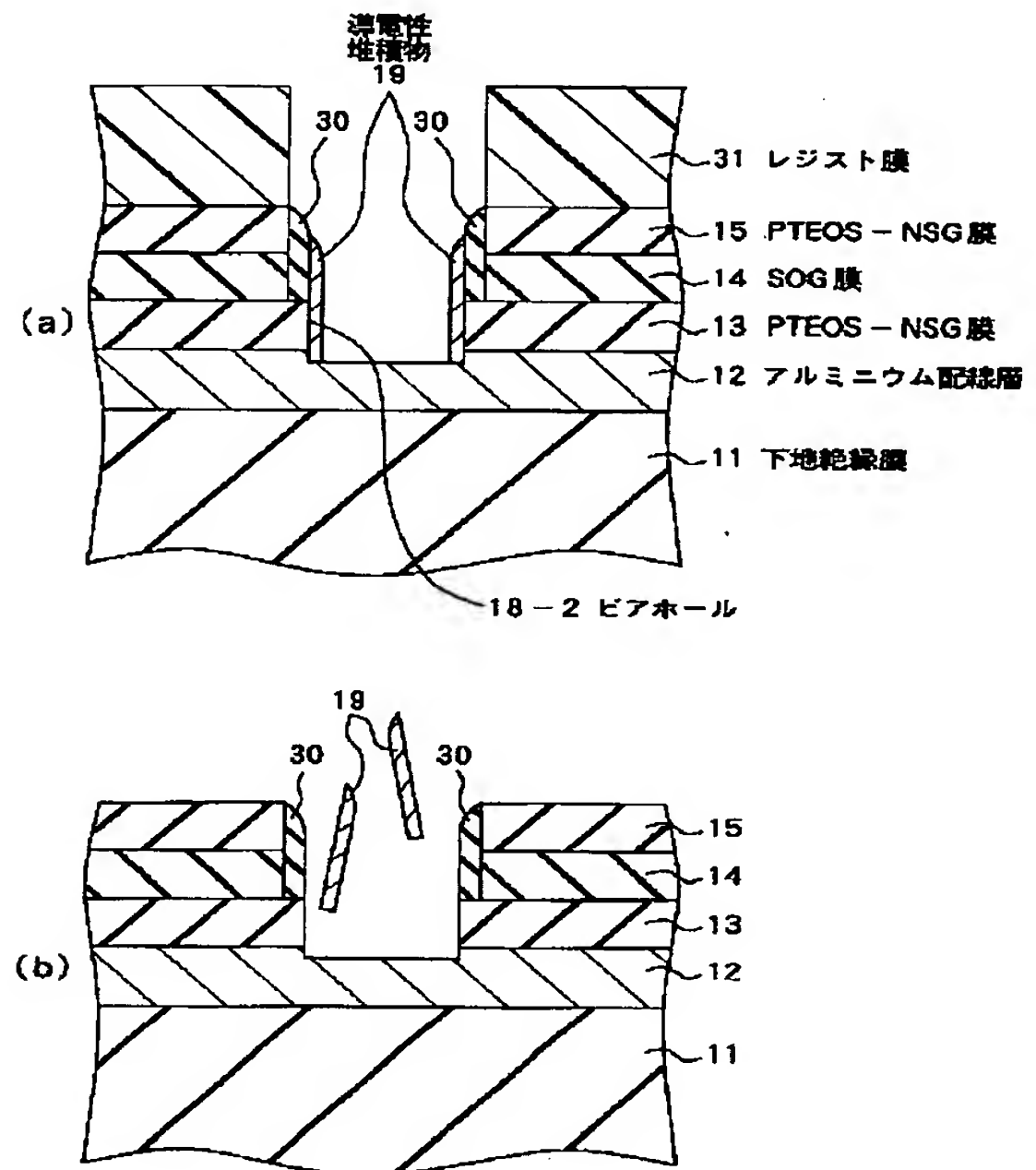
11…下地絶縁層、12…アルミニウム配線層（第1の配線層）、21…アルミニウム配線層（第2の配線層）、13…PTEOS-NSG膜（第1の絶縁膜）、14…SOG膜（平坦化絶縁膜）、15…PTEOS-

NSG膜（第2の絶縁膜）、16, 31…レジスト、18-1…ビアホール（第1の接続孔）、18-2…ビアホール（第2の接続孔）、19…導電性堆積物、30…PTEOS-NSG膜（耐酸化性の薄膜）

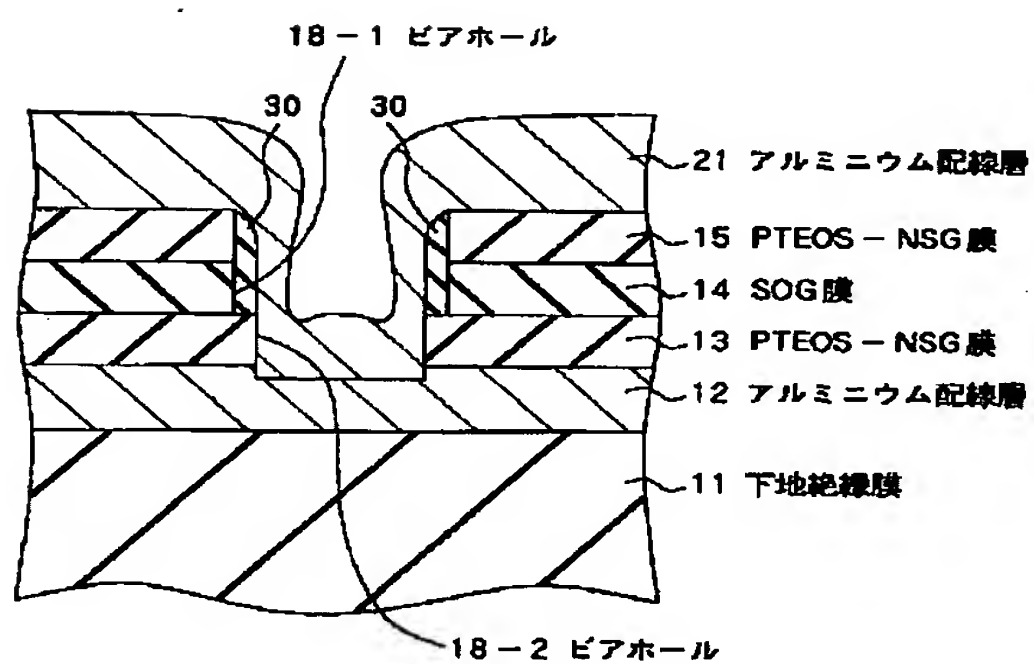
【図1】



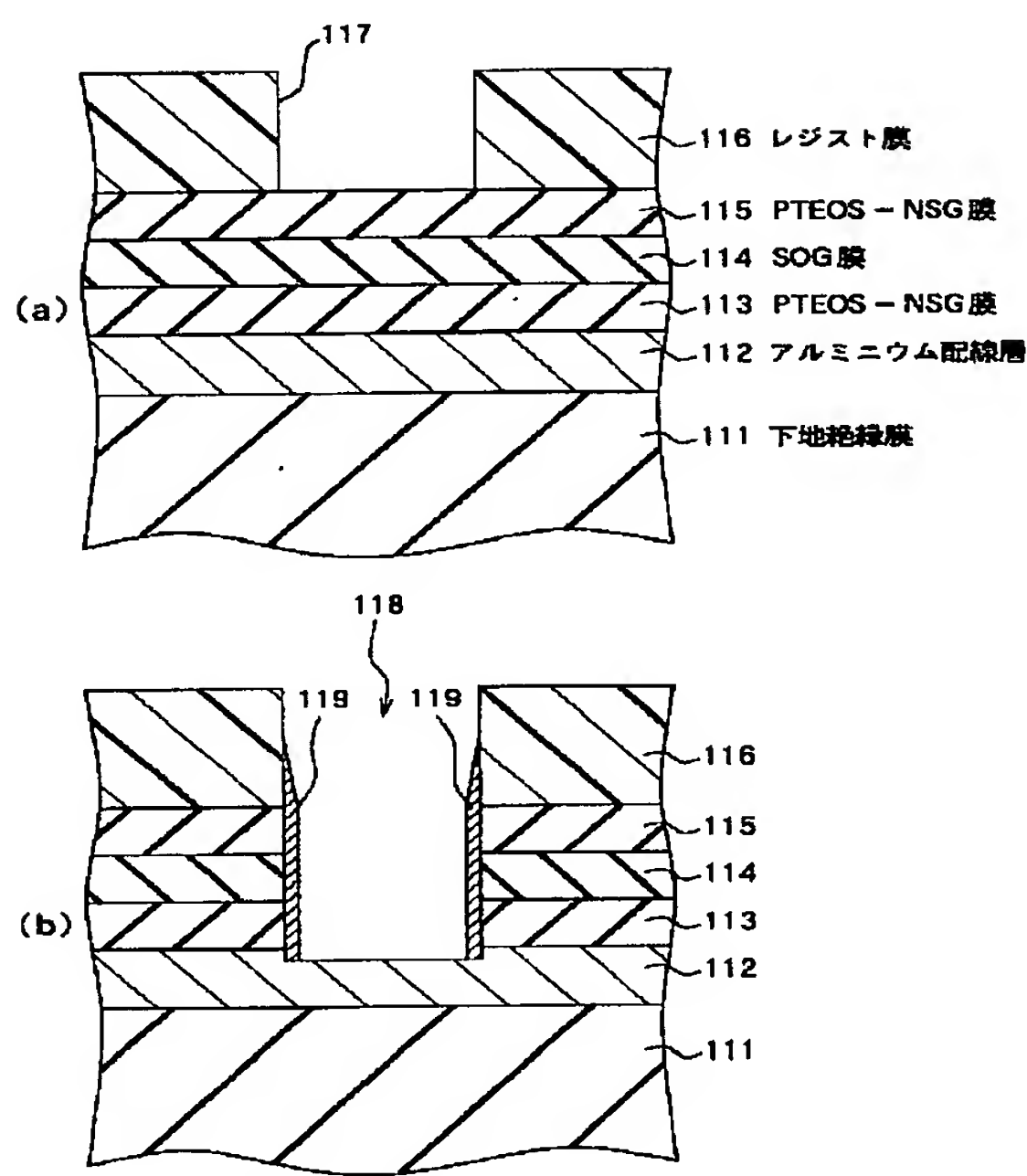
【図2】



【図3】



【図 4】



【図 5】

